

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)日本国特許庁 (J P) (12) 公開特許公報 (A)

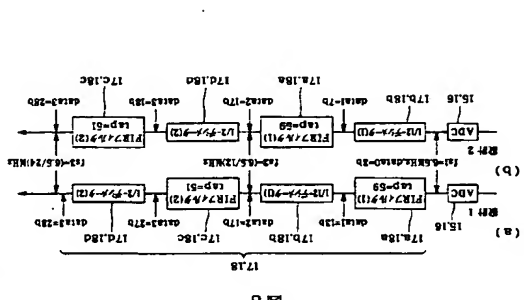
(11)特許出願公開番号
特開2000-269785
(P2000-269785A)
(43)公開日 平成12年9月29日(2000.9.29)

(51)Int.Cl. ⁷	識別記号	F I	テロド ¹ (参考)
H 03 H 17/00	6 2 1	H 03 H 17/00	6 2 1 C 5 K 0 0 4
17/06	6 1 5	17/06	6 1 5 K 5 K 0 6 1
	6 3 3		6 3 3 C
H 04 B 1/16		H 04 B 1/16	A
H 04 L 27/14		H 04 L 27/14	B
審査請求 未請求	請求項の数10	OL (全 11 頁)	

(21)出願番号	特願平11-71267	(71)出願人	000005108 株式会社日立製作所
(22)出願日	平成11年3月17日(1999.3.17)	(71)出願人	00023527 東京都千代田区神田豊河台西丁目6番地 日立東部セミコンダクタ株式会社 群馬県高崎市西横手町1番地1 古川 且作
		(72)発明者	東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センター 100080001 伊理士 簡井 大和
		(74)代理人	

(54)【発明の名称】 デジタルフィルタ、復調回路、およびそれを用いた無線端末装置

(57)【要約】
【課題】 ADCから出力までのハード域を最小とすることができ、デジタルフィルタ、復調回路、およびそれを用いた無線端末装置を提供する。
【解決手段】 RF部、ベースバンドアナログ部、ベースバンド処理部、ベースバンドソフトウェア部などから構成されるGSM無線端末装置であって、ベースバンドアナログ部の復調回路にはマルチレートフィルタ17、18が設けられ、プレフィルタの次数とRCの時定数が大きく、全体のハード域が多くなること、理由から、FIRフィルタ(1)17a、18a-1/12デシメータ(1)17b、18b-FIRフィルタ(2)17c、18c-1/2デシメータ(2)17d、18dの接続において、フィルタ処理後に速度変換を用いた設計1の手法がとられている。



る。

* * [0035]

 $\omega c = \omega s / m = 2\pi f s / m, t = nT$ $C_n(m) = 2(f s / m) \times \sin((2\pi f s / m) n T) / ((2\pi f s / m) n T)$ $C_0(m) = 2(f s / m)$ で正規化して $C_n(m) = \sin(2\pi n / m) / (2\pi n / m)$ 式 (7)

ただし、 n : 整数 ≥ 0 , m : 整数 ≥ 2 , $f s T = 1$ である
 ※乗算する複数の乗算器22、乗算器の出力を加算する加算器23からなる機能構成で表すことができる。

【0036】本実施の形態の直線係数FIRフィルタの設計では、係数関数を奇数とするケース1を適用する。10ルタの入出力での情報量を考慮することで、係数の有限語長最適化に、図6、図7により、FIRフィルタの最適化設計手法を説明する。

【0038】図6の直線係数FIRフィルタの機能図で具体的なハード化には、係数の有限語長化が必要である。図6において、直線係数FIRフィルタは、入力を受信する複数の遅延器21、これらの遅延された信号を*情報量 (b11) \geq データ (b11) + ind2 (伝送 (転送) 速度 / 基準速度) 式 (8)

[0041]

/基準速度) 式 (8)

なお、ind2とは、2^m = [a] となるmを示す関数である。[] : ガウス記号である。

*20

[0042]

* [0042]

/基準速度) 式 (8)

ind2(x) = [log2(x)]

式 (9)

*ADC15、16は6.5MHz毎に3bit、速度変換後

【0043】式 (8) を配調回路6に適用した場合が図7である。マルチレートフィルタ17、18のフィルタトフィルタ17、18のデータ語長をqbitとすれば、次の関係式を満足しなければならない。

[0044]

ADC15、16の出力の情報量は保存され、マルチレートフィルタ17、18のフィルタ出力に発生する。A

 $ADC \text{ 情報量} = 3 + \text{ind}2 [6.5 \times 10^{-6} / 0.27 \times 10^{-6}]$

式 (10)

フィルタ出力情報量 = q + ind2 [0.27 × 10⁻⁶ / 0.27 × 10⁻⁶]

式 (11)

式 (12)

ADC情報量 = フィルタ出力情報量

これより、フィルタ出力qは、フィルタ処理によるビット増加がなければ、速度変換により有効7ビットとなる。実際のマルチレートフィルタ17、18では、係数17、18のカットオフ周波数ω_cとマルチレートフィルタとデータの積和演算があり、乗算処理で係数分のデータ語長の増加、加算演算の処理回数によるデータ語長の増加を考慮する必要がある。

◆

フィルタ係数語長 $\geq \text{ind}2 [2\omega s / \omega c] + 1$ (符号ビット)

式 (13)

前記図5に示すように、(2ω_s / ω_c) の比がmの場合、式 (14) として表現される。

式 (14)

この関係式は、2平面での単位円2π (ω_s) に対して、ω_cの角周波数を表現するビット精度として必要な係数語長として解釈できる。

[0048]

[0049]

[0049]

[0049]

[0049]

[0049]

[0049]

[0049]

[0049]

[0049]

る。
*mのビット長分であり、式 (16) となる。

[0050] 乗算によるデータ語長の増加は、乗算係数* [0051]

乗算回路による増加情報量 \geq 乗算係数ビット数 式 (16)

以上の繰り算結果を基に、フィルタ出力でのデータ語長、* [0052]

すなわち情報量は次のように表現できる。

フィルタ出力情報量 \geq 入力ビット数 + 係数ビット数 + ind2 [N/2] 式 (17)

従って、マルチレートフィルタ17、18の内部演算精度を確保するために、式 (17) のデータ語長をとり、出力で必要な有効ビットに処理する。これにより、フィルタ処理による情報量の欠損を防止し、かつハードの最適化設計が可能となる。

【0053】フィルタ処理での速度変換は、6.5MHzから0.270MHzの1/24倍になる。この24分周を実行する方法は、整数の因数分解と全く同様であり、24 = 2 × 2 × 2 × 3 の組み合わせの通りである。その一例として、1/12分周後に1/2分周する例が図8である。

【0054】図8のマルチレートフィルタ17、18の設計1と設計2の相違は、速度変換とフィルタ処理順序の違いである。図8では、FIRフィルタ (1) 17a、18a-1/12デジメータ (1) 17b、18b-FIRフィルタ (2) 17c、18c-1/2デジメータ (2) 17d、18dの接続において、フィルタ処理後に速度変換を実行する設計1の手法をとっている。これは、2つの理由がある。第1の理由は、速度変換を前段で行うためには、ADC15、16による変換前のプレフィルタ13、14で速度変換後の1/2周波数以上の帯域ノイズなどの信号を減衰させておくことが前提となる。このためには、プレフィルタ13、14の次数とRCの時定数も大きくなり、延いては、プレフィルタ13、14の面積の増加の原因となる。第2の理由は、分周後にフィルタ処理する場合、全体のハード量として多くなるためである。

【0055】これらのハード量比較を図9に示す。図9(a) は有効ビットの推移、図9(b) は必要レジスタ数の比較をそれぞれ示す。FIR1はFIRフィルタ (1) 17a、18a、decmlはデジメータ (1) 17b、18b、FIR2はFIRフィルタ (2) 17c、18c、decml2はデジメータ (2) 17d、18dにそれぞれ対応する。たとえば、図9(b) に示すように、設計2のFIRフィルタ (1) 17a、18aは413個、FIRフィルタ (2) 17c、18cは918個必要であるのに対して、設計1のFIRフィルタ (1) 17a、18aでは177個、FIRフィルタ (2) 17c、18cでは867個で構成することができ、以上のような設計手法に基づいた設計結果として、伝送関数の係数と周波数特性が図10、図11に示すようになる。

【0056】従って、本実施の形態によれば、マルチレートフィルタ17、18の内部演算精度を確保するために、式 (17) のデータ語長をとり、出力で必要な有効ビットに処理する。これにより、フィルタ処理による情報量の欠損を防止し、かつハードの最適化設計が可能となる。

【0057】1. ベースバンドアナログ部2の総RC低減の理由
 前提：復調回路6の前処理に必要な内容、1) ADC15、16のサンプリングの折り折り返し防止、2) サンプリング周波数の減れノイズ防止、3) 隣接チャネル信号の抑圧、4) 変調信号の正確な再生 (位相追従の低減)、これらの処理をプレフィルタ13、14+ADC15、16+マルチレートフィルタ17、18で実現する。

【0058】設計配分：1) マルチレートフィルタ17、18で隣接チャネル信号を抑圧する、2) 隣接チャネル信号はADC15、16のサキスト周波数より低い周波数であるので、マルチレートフィルタ17、18でサキスト周波数までの信号を除去するフィルタ特性を実現する、3) 前提1)、3) はマルチレートフィルタ17、18で実現するため、前提2) を実現するプレフィルタ13、14の周波数特性を設計すればよい。

【0059】結果：これはプレフィルタ13、14のカットオフ周波数を高くすることを意味し、RCの結果を小さくできる。

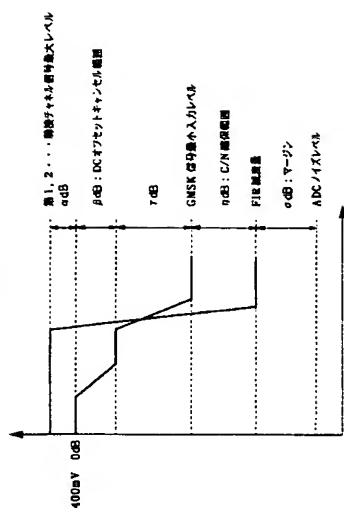
【0060】2. マルチレートフィルタ17、18のハード低減の理由
 前提：(1) の情報量 = デジタルデータ (ビット数) × データ転送速度 = ADC15、16で決まってしまう。この信号情報量はフィルタ処理により、内部の演算精度が有限の場合は劣化することもある。

【0061】設計配分：1) ADC15、16のデジタルデータ出力を直後、FIRフィルタ (1) 17a、18aの出力とし、フィルタ処理を施す、2) フィルタ処理後のデータを速度変換する、3) その後、全体周波数特性の調整をFIRフィルタ (2) 17c、18cで行う。4) 無線系のベースバンドデータ速度に速度変換する。

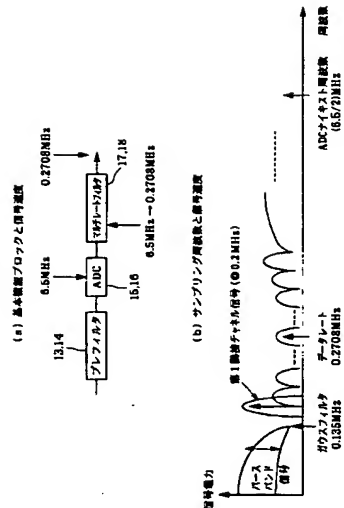
【0062】結果：(1) の情報量 = デジタルデータ (ビット数) × データ転送速度の関係から、FIRフィルタ (1) 17a、18aの入力 = ADC15、16の出力 (1) 17a、18aであり、速度変換後のデータよりも小さい。

出力b11であり、速度変換後のデータよりも小さい。

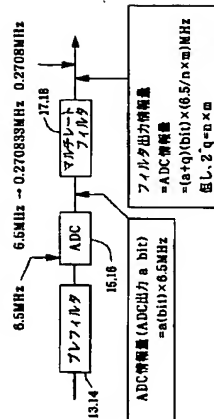
[123]



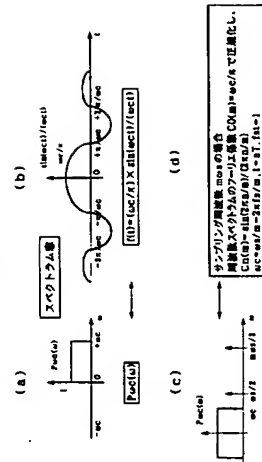
【例4】



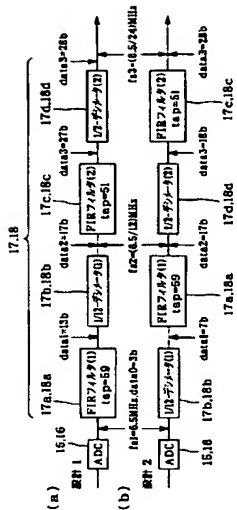
【147】



[E45]



【148】



【649】



(e) 有効ビットの割合比較

	A/Dout	FIR1	FIRfloat	1/FIRfloat	decfloat1	FIR2	FIR2int	1/FIR2int	decfloat2	有効率 (%)
整数 1	3	+10	13	+4	17	110	27	-1	23	12
A/Dout										
浮動 2	3	+4	7	+10	17	11	13	+10	23	13

(b) 必要レジスタ量の比較

設計 1	レジスタ数			レジスタ数		
	入力bit	tap 数	tap 数	入力bit	tap 数	tap 数
P1R1	8	69	177	17	51	867
P1R2	18	59	413	18	51	918

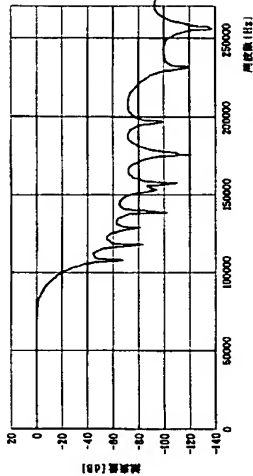
【図10】

図10

No	PI10番号	PI12番号	No	PI11番号	PI12番号	No	PI11番号	PI12番号
C0	32	4	C0	12	1	C20	-7	-1
C1	32	4	C1	9	1	C21	-7	-1
C2	31	4	C12	6	0	C22	-7	0
C3	30	4	C3	4	0	C23	-6	0
C4	28	3	C14	1	0	C24	-6	0
C5	25	3	C15	-1	-1	C25	-6	0
C6	24	3	C16	-3	-1	C26	-6	0
C7	21	2	C17	-4	-1	C27	-2	0
C8	18	2	C18	-6	-1	C28	-1	0
C9	15	1	C19	-6	-1	C29	0	0

【図11】

図11



フロントページの続き

(72)発明者 小林 洋一郎
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センター

(72)発明者 近藤 泰二
埼玉県入間郡毛呂山町大字旭台15番地 日立東部セミコンダクタ株式会社内
Fターム(参考) 5A004 AA05 FA25 FC02 FH01 FH06
5K061 AA01 AA13 BB12 JJ24